**Vorlesung 3**

\*\*\*

\*\*\*

Folie 4 und 5

Die Folien zeigen die Transistor Kennlinien: Der elektrische Zustand des Transistors wird durch Zwei Spannungen – Vgs und Vds und durch zwei Ströme Ids und Igs beschrieben. Für DC Signale gilt Igs = 0. Gate stellt nur eine Kapazität dar. (Wir vernachlässigen im Moment den Tunneleffekt.)

Transistorverhalten für DC Signale kann mit folgenden Kennlinien beschrieben werden.

Ids als Funktion von Vds für verschiedene Vgs (Ausgangskennlinien)

Ids als Funktion von Vgs für verschiedene Vds (Eingangskennlinien)

Schauen wir uns die erste Kennliniengruppe an.

Folie 4 zeigt die Ids-Vds Kennlinien. Wie plotten die Linien für linear aufsteigende Vgs – z.B. 100mV, 200mV…

Man kann folgendes erkennen:

Im rechten Linienbereich ist der Strom von Vds praktisch unabhängig – wir nennen dieser Bereich Sättigungsbereich. Im Idealfall Ids = Idssat für alle Vds > Vgs-Vth. Idssat ist durch Formel (2) (Vorlesung 4) gegeben.

Im linken Linienbereich sinkt der Strom mit Abnahme von Vds. Diesen Bereich nennen wir Trioden-Bereich. Für kleine Vds ist die Strom-Spannung Abhängigkeit ungefähr linear (Linearbereich). Den Strom im linearen Bereich kann man mit Formel (1) (Vorlesung 4) beschreiben.

Der Strom in Sättigung hängt etwa quadratisch von Vgs ab – wie die Formel (2) zeigt.

Auf der Grenze zwischen den Sättigungs- und Trioden- Bereichen gilt Vds = Vgs – Vth = Vdssat.

Es ist leicht zu zeigen dass die Grenzpunkte für verschiedene Vgs Spannungen auf der Parabel Ids = k/2 Vds^2 liegen – das kann man aus Formel für Sättigungsstrom und der Bedingung Vds = Vgs – Vth herleiten.

K = Mobilität \* W/L \* Cox.

Im Sättigungsbereich verhält sich der Transistor also wie eine spannungsgesteuerte Stromquelle.

Im Trioden-Bereich für kleine Vds verhält sich der Transistor wie ein variabler Widerstand (oder wie ein elektronischer Schalter) (Linearbereich).

\*\*\*

Folie 6

Folie 6 zeigt die Ids-Vgs Kennlinie. Wir könnten auch hier mehrere Kennlinien für verschiedene Vds zeichnen – wir begrenzen uns aber auf den Sättigungsbereich, genau genommen auf den Strom am Anfang der Sättigung Idssat.

\*\*\*

Folie 7

Kleinsignalmodel:

Die Eingangskennlinie wird üblicherweise im Bereich um den Arbeitspunkt linearisiert – die Steigung der Linie dIdsat/dVgs nennen wir die Transkonduktanz (Leitwert). Für die Kleinsignale werden die linearen Modelle verwendet.

Beachten wir aber, dass die Kleinsignalmodelle nur unter bestimmten Bedingungen gelten.

Das Kleinsignal- Modell erlaubt beliebig höhe positive und negative vgs und ids Werte (Kleinsignale). Der negative Kleinsignalstrom darf aber nicht den DC-Strom übersteigen, sonst wäre der Gesamtstrom iDS negativ. Einen negativen iDS kann man bei einem positiven vDS nicht erreichen.

\*\*\*

Folie 8

Im Fall vom PMOS gelten alle Kennlinien wie beim NMOS - die Indizes bei den Spannungen und Strömen sollen vertauscht werden.

\*\*\*

Folie 9

Man könnte sagen: Die PMOS Schaltungen sind ein Spiegelbild von NMOS Schaltungen in der Weise wie die Abbildung zeigt.

Die Ströme und Spannungen haben andere Vorzeichen. Wenn eine Schaltung korrekt gezeichnet ist, fließen die Ströme von oben nach unten und die Potentiale oben im Bild sind höher als die Potentiale unten.

Das Drain-Potential kann sowohl niedriger als höher als Gate liegen – in beiden Fällen kann der Transistor in Sättigung sein. Die Bedingung für Sättigung ist Vds > Vgs – Vth.

\*\*\*

Folie 11 und 12

Warum brauchen wir NMOS und PMOS?

Ein NMOS leitet nur dann gut wenn das Source-Potential niedrig ist. Das heißt einen NMOS-Schalter kann man nicht benutzen um eine Leitung mit VDD (mit der positiven Versorgung) kurz zu schließen. Dafür braucht man einen PMOS.

Beispiel: 1) Eine Kapazität wird mit einem NMOS entladen. Die Kapazität wird mit NMOS aufgeladen. 3) Die Kapazität wird mit PMOS aufgeladen.

\*\*\*

Folie 13

Bei einer PMOS Stromquelle fließt der Strom aus VDD heraus, eine NMOS Quelle leitet den Strom in GND.

\*\*\*

Folie 15

Die Kennlinien wie wir sie gesehen haben sind nur eine Idealisierung. Wir werden jetzt einige Abweichungen vom Idealbild betrachten.

**Schwache Inversion**

Formel für Idssat (2) suggeriert, dass der Idssat Strom null wird solange Vgs kleiner als die Schwele ist. Wie wir in Vorlesung 4 gesehen haben, können die Elektronen aus der Source auch für kleinere Gate Spannungen die Potentialbarriere überwinden und in Drain gelangen.

Folie 16 und 17

\*\*\*

Die Höhe der Barriere UB ist die Differenz vom Source Potential Vs und dem Potential vom Silizium unterhalb SiO2 - Vx.

Dieses Potential ist für Vgs = Vth null. Für niedrigere Vgs gilt die Formel für Spannungsteiler: Vx = (Vgs – Vth)/n (Folie 17)

Also: UB = -(Vgs – Vth)/n.

(Eine negative Spannung ist für Elektron eine positive Barriere, deshalb haben wir minus Vorzeichen.)

Folie 18

\*\*\*

Die Wahrscheinlichkeit, dass ein Elektron mit der thermischen Energie ~ UT die Barriere Überwindet ist sehr näherungsweise durch die folgende Formel gegeben (Statistische Physik, Maxwell Boltzmann Verteilung):

exp (-UB/UT) ~ exp[(Vgs - Vth)/n UT]

Man kann erwarten dass der Source -> Drain Elektronenfluss durch eine Gleichung in der Form

Phi s->d = const \* exp[(Vgs - Vth)/nUT]

bestimmt wird.

Folie 19

\*\*\*

Eine ähnliche Gleichung gilt für den Drain -> Source Elektronenfluss.

Phi d->s = const \* exp[(Vgd - Vth)/nUT]

Folie 20

\*\*\*

Wie erwähnt, wenn Vds gleich 0 ist, haben wir demselben Elektronfuß aus Drain in Source, wie aus Source in Drain. Dieses Gleichgewicht führt zum Netto- Ids Strom null.

Folie 21

\*\*\*

Für Vds > 0 steigt die Barriere aus der Seite von Drain um Vds. Es gilt:

Fluss d -> s = const exp (-Vds/UT).

Für Vds > einige UT ist die Exp Funktion praktisch null und der Fluss von der Drain-Seite verschwindet. Wir haben die Stromsättigung, da der Drain-Source Fluss verschwindet – nur der Source-Drain Elektronenfluss bleibt.

Folie 22 und 23

\*\*\*

Genauere Herleitung zeigt:

Idssat = W/L \* Mobilität \* Cox \* (n-1) UT^2 exp[(Vgs - Vth)/n \* UT]. (3)

UT ist die Thermische Spannung kT/e, sie ist 25mV auf der Zimmertemperatur.

Folie 24

\*\*\*

Es ist wichtig zwei Sachen zu merken: 1) ein Transistor ist nie wirklich aus. Für Vgs = Vth, wo wir nach Formel (2) Idssat = 0 erwarten, fließt bereits ein Strom von etwa W/L \* 100nA. 2) Die Bedingung für Sättigung in schwacher Inversion ist Vds > einige UT. Die Vdssat hängt nicht von Vgs ab, wie es in starker Inversion war (Vds > Vgs - Vth).

Ein Strom von 100nA mag wenig klingen, aber in vielen Anwendungen ist er bedeutend. Stellen wir uns eine DRAM Zelle mit 10fF Kapazität vor. Bei einem Strom von 100nA verliert sie Ladung innerhalb von nur etwa dt = 1E-14/1E-7 = 100ns! Schwache Inversion führt zum DC Stromverbrauch in CMOS Logik.

Wir können Vgs Wertebereich auf schwache Inversion (Vgs < Vth – Vth + einige UT), und starke Inversion (Vgs > Vth + einige UT) unterteilen. Für schwache Inversion gilt die Gleichung (2) (Vorlesung 4), für starke die Gleichung (3).

Folie 25

\*\*\*

Eine weitere Folge von schwacher Inversion ist es, dass wir die Trans-Konduktanz bei einem bestimmten Bias-Strom nicht beliebig erhöhen können.

Rechnen wir die Transkonduktanz: dIdsat/dvgs.

Aus Formel (2) (Vorlesung 4) (starke Inversion) bekommen wir:

dIdsat/dVgs = k (Vgs - Vth) = sqrt (2 \* k \* Idssat) = sqrt (const\* Idssat \*W/L)

Aus Formel (3) (schwache Inversion) bekommen wir:

dIdsat/dVgs = Idssat/n \* UT

Die Formeln für starke Inversion implizieren, dass die Transkonduktanz beliebig vergrößert werden kann wenn der Transistor breiter und kurzer gemacht wird. Das ist nicht richtig:

Bei einem konstanten (Bias-)Strom und bei der Zunahme von W/L muss Vgs – Vth sinken (Formel (2)). Wir kommen dadurch in die schwache Inversion, wo die Transkonduktanz nicht mehr vom W/L abhängt. Die gm Anstieg wird gestoppt. Idssat/n \* UT ist also die maximale Transkonduktanz bei einem bestimmten Idssat Biasstrom.

\*\*\*\*

Folie 26

**Substrateffekt**

In unserer bisherigen MOSFET-Analyse hatten wir sowohl die Source als auch den Substratkontakt auf 0V.

Diese zwei Kontakte sind nicht immer kurzgeschlossen. Der Substratkontakt befindet sich oft auf einem niedrigeren Potential als Source (und Drain).

Folie 26 zeigt den NMOS. Substratkontakt ist zunächst auf 0V, die Gate-Source Spannung ist 0.5V, also entspricht der Schwelle Vth. Die Substrat-Oberfläche ist auf 0V, für höhere Vgs bildet sich der Kanal.

\*\*\*\*

Folie 27

Verringern wir jetzt das Substratpotential Vsb. Erinnern wir uns, dass wir in der MOS Struktur einen kapazitiven Spannungsteiler haben. Das Potential der Substrat-Oberfläche wird dadurch um Vsb\* Cdep/(Cdep+Cox) niedriger als 0V, also zu niedrig für die Kanalbildung.

\*\*\*

Folie 28

Wenn die Substrat-Oberfläche auf - Vsb\* Cdep/(Cdep+Cox) = -Vx liegt, muss Vgs um Vx \* (Cdep+Cox)/Cox erhöht werden um die Oberflächenpotential von 0V zu bekommen. Für das Oberflächenpotential = 0V bildet sich der Kanal da es in dem Fall keine Potentialbarriere für die Elektronen aus der Source und dem Drain gibt.

Also: Eine solche Substrat-Potentialänderung kann man als eine Erhöhung von Schelle um Vsb \* Cdep/(Cdep+Cox) \* (Cdep+Cox)/Cox = Vsb \* Cdep/Cox = n-1 \* Vsb ~ 0.5 \* Vsb interpretieren. Nämlich, genau um diesen Betrag muss Vgs erhöht werden um den Kanal zu erzeugen.

\*\*\*

Folie 29

Es gilt:

Ids = ½ Mobilität Cox W/L (Vgs – Vth0 – 0.5 Vsb)^2

Oder

Ids = ½ Mobilität Cox W/L (Vgs + 0.5 Vbs - Vth0)^2

Das Substratpotential beeinflusst also den Ids Transistorstrom auf ähnliche Weise wie das Gatepotential, nur um etwa Faktor Cdep/Cox = 0.5 schwächer.

\*\*\*

Folie 30, 31, 32

**Eearly Effekt**

Wir haben gesehen dass die Kanallänge L und die Kanalbreite W den Transistorstrom bestimmen (Ids ~ W/L). Wie groß sind eigentlich W und L? In erster Näherung nimmt der Kanal die ganze Fläche unterhalb des Gate-Oxids. Dort ist die „Anziehungskraft“ der positiven Gate-Ladung stark genug um einen Elektronen-Kanal zu formen.

Für Transistoren im linearen (oder Trioden-) Bereich ist der Kanal etwa genauso groß wie das Gate-Oxid.

Wenn Vds größer als Vgs – Vth = Vdssat ist (Transistor in Sättigung) bleibt das Ende des Kanals etwa auf Vdssat Potential. Zwischen dem Drain und dem Ende des Kanals haben wir also einen Potentialunterschied von Vds – (Vgs – Vth) oder Vds – Vdssat.Es bildet sich eine Verarmungszone.

Die Größe der Zone hängt von der Überspannung Vds – Vdssat. Die Effektive Länge des Kanals ist also um die Größe der Verarmungszone kleiner als die Gate-Oxid-Länge. Erinnern uns an die Formel für den Sättigungsstrom.

Idssat = ½ \* Mobilität \* W/L \* Cox \* (Vgs - Vth)^2

Wenn Vds über Vdssat steigt, verkürzt sich der Kanal – L wird kleiner und der Strom steigt.

Es ist leicht herzuleiten:

Idssat = Idssat0 (1 + dL/L)

Wenn wir noch annehmen dL = Vds – Vdssat/Esat (Esat ist eine Konstante) bekommen wir:

Idssat = Idssat0 (1 + Vds – Vdssat/(Esat \* L))

Die Steigung der Kennlinie dIdssat/dVds ist (Folie 32)

dIdssat/dVds = gds = Idssat0 / Esat \* L

\*\*\*

Folie 33 und 34

Ein kleines gds ist normalerweise vom Vorteil da sich der Transistor dann ähnlicher wie eine Stromquelle verhält. Kleine gds Werte (oder einen großen rds = 1/gds Widerstand) bekommen wir für lange Transistoren und für kleine Ströme.

Die Folie zeigt die Transistoren mit kleinem gds, also großem rds. Beachten wir dass diese Transistoren auch kleine gm haben. Wir bekommen nicht beides – eine gute Stromquelle und eine höhe Trans-Konduktanz. Es gibt aber einen Trick – Kaskode (Folie 34).

\*\*\*

Folie 35

**Kapazitäten**

In der Transistorstruktur haben wir an mehreren Stellen Raumladung. Die Ladungsmengen hängen von Spannungen zwischen den Transistorelektroden. Deshalb entstehen Kapazitäten. Die Beziehungen zwischen den Ladungsmengen und Spannungen sind in der Regel nichtlinear. Für das Kleinsignalmodell werden deshalb so genannte dynamische Kapazitäten als dQ(V)/dV im Arbeitspunkt definiert.

\*\*\*

Folie 36

**Gate Kapazität**

Die wichtigste Kapazität im Transistor ist die Gate Kapazität. Wir haben bereits gesehen, dass unterhalb des Gates zwei Kapazitäten entstehen – die Oxidkapazität Cox \* W \* L und die Kapazität der Verarmungszone Cdep \* W \* L. Ich schreibe W\*L da wir die Werte Cox/Cdep pro Flächeneinheit definieren.

Je nachdem ob sich der Transistor in schwacher oder starker Inversion befindet, unterscheidet sich die Gate Kapazität.

\*\*\*

Folie 37

Schwache Inversion:

Die Gate Kapazität ist die Reihenschaltung von Cox und Cdep

Cgate = Cgb = WL \* Cox \* Cdep / (Cox + Cdep)

Die Kapazität wirkt zwischen dem Gate und dem Substrat.

\*\*\*

Folie 38

Starke Inversion und Vds = 0:

Die Spannung zwischen den Kontakten der Kapazität Cdep ist fest – der Kanal ist mit den Source und Drain kurzgeschlossen. Deshalb sehen wir Cdep nicht, wenn wir die Spannung am Gate ändern. Die Ladungsmenge in der Verarmungszone ändert sich nicht. Von den ursprünglich zwei Kapazitäten bleibt nur Cox. Die Gate Kapazität ist dann:

Cgate = Cgsd = WL \* Cox

Die Kapazität ist also größer als in schwacher Inversion. Diese Kapazität wirkt zwischen dem Gate und Source und Drain gleichmäßig. Das Substrat sieht die Kapazität nicht.

\*\*\*

Folie 39

Starke Inversion und Sättigung (Vds > Vdssat):

Man Kann zeigen, dass in Sättigung die Ladungsmenge im Kanal etwa 2/3 von der für Vds = 0 ist. Deshalb ist die Gate-Kapazität etwa

Cgate = 2/3 \*WL \* Cox

Da der Kanal in Sättigung von Drain abgekoppelt ist, wirkt die Kapazität nur zwischen Gate und Source.

Cgate = Cgs = 2/3 \* WL \* Cox

Es gibt, in erster Näherung, keine Kapazität zwischen Drain und Gate.

\*\*\*

Folie 40

Außer Gate Kapazitäten haben wir noch die folgenden kleineren Kapazitäten.

PN Übergang Kapazitäten (junction Kapazitäten) Cjd, Cjs.

Überlappkapazitäten Cgs\_ovl und Cgd\_ovl. Diese Kapazitäten kommen zustande weil die Source und Drain Bereiche teilweise unter dem Gate-Oxid Gate hineinwachsen.

Insbesondere ist hier Cgd\_ovl wichtig – die Drain-Gate Kapazität wird in den Verstärkern durch das Miller-Effekt verstärkt.

\*\*\*

Folie 41

Das vollständige Kleinsignalmodell des Transistors ist in Folie 39 gezeigt.

\*\*\*

Folie 42 und 43

Tunnelstrom

Das beschriebene Subthreshold Strom sollen wir nicht mit dem Tunnelstrom verwechseln.

In beiden Fällen kommen die Elektronen über eine Potentialbarriere – nur die Mechanismen sind anders.

Im Fall von Sub-Threshold Strom haben wir den Halbleiter auf Zimmertemperatur. Die Kristallgitter vibriert und sie kann Teil ihrer Energie an Elektronen übergeben. Manchmal passiert es dass ein Elektron so heftig abgestoßen wird, dass es genug Energie bekommt um die Barriere zu überwinden.

Im Fall von Tunneleffekt hat ein Elektron immer eine Kleinere Energie als die Barriere. Trotzdem es ist nicht auszuschließen dass das Elektron durch die Barriere kommt. Tunneleffekt ist nur für die Entfernungen im x nm Bereich bedeutend.

Tunnelstrom haben wir zwischen dem Gate und dem Substrat, bzw. dem Kanal, wenn die Oxiddicke unterhalb von 5nm ist.

Tunneleffekt mag sehr abstrakt klingen, er wird aber oft benutzt. Erinnern wir uns an die Substratkontakte.

Eine weitere Anwendung für Tunneleffekt ist die Tunneleffekt- Mikroskopie. Mit solch einem Mikroskop können wir einzelne Atome auf einem Metallsubstrat „sehen“ (messen) und bewegen. Wenn die Metallspitze (Probe) nah an Atom positioniert wird, fließt ein Tunnelstrom zwischen der Spitze und dem Substrat. Es ist möglich die Atome zu „fühlen“ – das Gerät hat eine ausreichende Ortsauflösung. Man kann auch die Atome bewegen, da eine Anziehungskraft (Wan der Waals Kraft) zwischen den Atomen und der Probe entsteht wenn sie nah einander sind.